

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-224257

(43)Date of publication of application : 12.08.1994

(51)Int.Cl. H01L 21/60
H01L 21/60
H01G 4/06
H01L 21/321

(21)Application number : 05-212453

(71)Applicant : FUJITSU LTD

(22)Date of filing : 27.08.1993

(72)Inventor : RARII ERU MORESUKE
UENCHIYOU BINSENTO WANGU
DEIBITSUTO JII RABU

(30)Priority

Priority number : 92 937363

Priority date : 28.08.1992

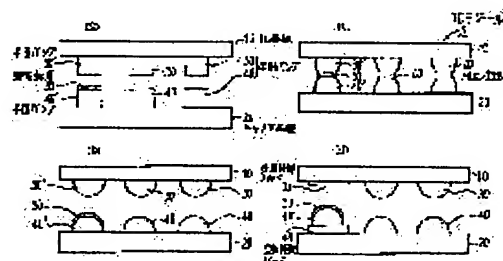
Priority country : US

(54) INTERCONNECTING CAPACITOR AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To obtain a bypass capacitor which is capable of being close to an IC board and being aligned, demanding for only a minimum area on the front surface of both the IC board and a carrier board by connecting the IC board to a plurality of individual interconnecting elements installed to a carrier board by way of a dielectric substance.

CONSTITUTION: A chip or a board 10 is partially connected to a plurality of individual interconnecting elements 30 and 40 installed to a carrier board 20 by way of a dielectric substance, thereby forming an interconnecting capacitor as a bypass capacitor for noise filtration in an IC module which comprises a chip which constitutes an integrated circuit or the board 10 and the carrier board 20 which loads more than one board. More specifically, a first solder bump 30' is installed to a first board 10 while a second solder bump 40', which covers the dielectric substance 50 on the surface of a joint part as opposed to the solder bump 30' on the second board 20 which faces the board 10. The solder bumps 30' and 40' are subjected to reflow, thereby contact-bonding them by way of the dielectric substance layer 50.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開平6-224257

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	6918-4M		
	3 2 1 E	6918-4M		
H 0 1 G 4/06		9375-5E		
		9168-4M	H 0 1 L 21/ 92	B
		9168-4M		C
審査請求 未請求 請求項の数11 O L (全 10 頁) 最終頁に続く				

(21)出願番号	特願平5-212453	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成5年(1993)8月27日	(72)発明者	ラリー エル モレスコ アメリカ合衆国 カリフォルニア 94070 サンカルロス ガーネットアベニュー 112
(31)優先権主張番号	07/937363	(72)発明者	ウェンチョウ ビンセント ワング アメリカ合衆国 カリフォルニア 95014 キューパチノ エドミントンドライブ 18457
(32)優先日	1992年8月28日	(74)代理人	弁理士 井桁 貞一
(33)優先権主張国	米国(US)		

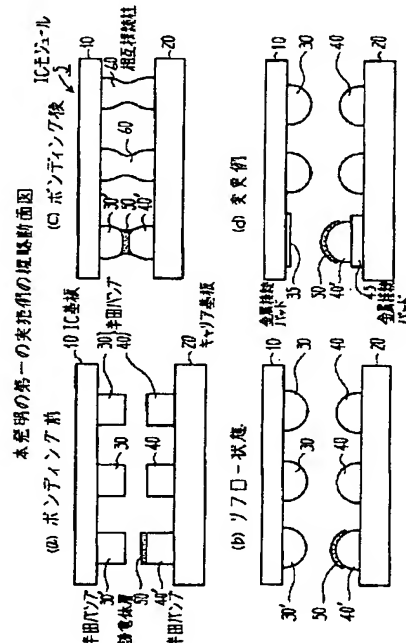
最終頁に続く

(54)【発明の名称】 相互接続キャパシタとその製造方法

(57)【要約】

【目的】 集積回路を構成するチップ又は基板とこれを少なくとも１個搭載するキャリア基板とから成るＩＣモジュールにおいて用いる、雑音除去用のバイパスキャパシタ及びその製造方法に関し、チップ又はキャリア基板上の貴重な領域を使用せずにチップに近接して容易に設置可能なキャパシタの提供を目的とする。

【構成】 集積回路チップ又は基板をキャリア基板に対面して実装する為の相互接続手段と同様にして相互間にバイパスキャパシタを形成させるもので、相互接続手段は複数の接続素子を有し、一部をキャパシタを形成する為に用い、対向する接続素子の半田バンプ間に誘電体層を設けて接合させたり、相互接続ワイヤを対向接続部の半田バンプ又は基板内の凹部に挿入させ誘電体を介して接合させて、集積回路チップ又は基板をキャリア基板にボンディングするために使用する半田又は他のリフロー可能な材料を用いてキャパシタ電極の一つを形成させる。



【特許請求の範囲】

【請求項1】 集積回路を構成するチップ又は基板と、これを少なくとも1個搭載するキャリア基板とから成るICモジュールにおいて用いる、雑音除去用のバイパスキャパシタであって、

該チップ又は基板と該キャリア基板とに設ける複数の個別の相互接続素子の一部を、間に誘電体を介して接合させて相互接続キャパシタを形成させることを特徴とする相互接続キャパシタ。

【請求項2】 第一の基板(10)上に第一の半田バンプ(30')を設け、該基板(10)に対面する第二の基板(20)上に該半田バンプ(30')に対向して、接合部表面に誘電体(50)を被着させた第二の半田バンプ(40')を設けて成ることを特徴とする、請求項1記載の相互接続キャパシタ。

【請求項3】 第一の基板(10)上に相互接続ワイヤ(70)を立設し、該基板(10)に対面する第二の基板(20)上に該相互接続ワイヤ(70)に対向して、半田リフロー時に該相互接続ワイヤ(70)が挿入され、挿入部表面に誘電体(110)を被着させた半田バンプ(40')を設けて成ることを特徴とする、請求項1記載の相互接続キャパシタ。

【請求項4】 第一の基板(10)上に誘電体(90)を表面に被着させた相互接続ワイヤ(70)を立設し、該基板(10)に対面する第二の基板(20)上に該相互接続ワイヤ(70)に対向して、半田リフロー時に該相互接続ワイヤ(70)が挿入される半田バンプ(40')を設けて成ることを特徴とする、請求項1記載の相互接続キャパシタ。

【請求項5】 前記半田バンプ(40')上の前記相互接続ワイヤ(70)の挿入位置に、穴状の凹部(100)を設けたことを特徴とする、請求項3又は請求項4記載の相互接続キャパシタ。

【請求項6】 第一の基板(10)上に相互接続ワイヤ(70')を立設し、該基板(10)に対面し導電金属層(130)の表面に誘電体層(200)を積層した第二の基板(20')の、該相互接続ワイヤ(70')に対向する位置に、該相互接続ワイヤ(70')が挿入される穴状の凹部(120)を該誘電体層(200)に設けることを特徴とする、請求項1記載の相互接続キャパシタ。

【請求項7】 前記凹部(120)の内面に金属層(125)を被着する、或いは半田(150)を満たすことを特徴とする、請求項6記載の相互接続キャパシタ。

【請求項8】 前記相互接続ワイヤ(70')の表面に誘電体(90)を被着させることを特徴とする、請求項6記載の相互接続キャパシタ。

【請求項9】 前記凹部(120)の内面に金属層(125)を被着させ、その上に誘電体層(180)を被着し、内部に半田(150)を満たすことを特徴とする、請求項6記載の相互接続キャパシタ。

【請求項10】 集積回路を構成するチップ又は基板と、これを少なくとも1個搭載するキャリア基板とから成るICモジュールにおいて用いる、雑音除去用のバイパス

キャパシタであって、

該チップ又は基板と該キャリア基板とに設ける複数の個別の相互接続素子の一部を、間に誘電体を介して接合させて相互接続キャパシタを形成させ、少なくとも一方の電極が搭載実装時にリフローする半田で形成されることを特徴とする相互接続キャパシタ。

【請求項11】 集積回路を構成するチップ又は基板と、これを少なくとも1個搭載するキャリア基板とから成るICモジュールにおいて用いる、雑音除去用のバイパスキャパシタの製造方法であって、

少なくとも一方の基板上に複数の個別の相互接続素子をアレイ形成するステップと、該アレイの内の所定の相互接続素子を選択して誘電体にて覆うステップとを備えることを特徴とする相互接続キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高速集積回路チップ又は基板（以下IC基板と略記）に近接してキャリア基板との間に設けられるバイパスキャパシタとその製造方法に関する。

【0002】現在のIC基板においては、通常バイパス用キャパシタを用いてIC基板に供給される電源に含まれているノイズを減少させている。集積回路技術の進歩により最新世代の集積回路装置に採用されるスイッチング動作の速度が劇的なくらいに改良されたために、多くの新型IC基板はマイクロ波周波数で動作することが出来るようになった。スイッチングスピードが高くなると、装置がオン・オフ動作を切り換える際に発生する電源ノイズの問題が大きくなって来る。ICチップが適切に機能するためには、供給される電源が比較的クリーンでなければならない、即ちノイズが含まれていないことが必要である。

【0003】

【従来の技術】この電源ノイズの問題を抑えるためにバイパス用キャパシタを使用することは良く知られている。又、最大の効果をあげるためにはバイパス用キャパシタをIC基板の出来るだけ近くに置くことが好ましいということも同様に良く知られていることである。キャパシタをIC基板に接続するリードは固有のインダクタンスを持っており、キャパシタがチップからあまりにも離れた位置に設けられた場合には、これは高速動作においてはかなり大きな値となり、このリードインダクタンスのために電源ノイズを取り除く目的で用いられるキャパシタを使用する意味が無くなってしまふ。キャパシタとIC基板間の最大許容距離は、リードの直径（即ち、リードインダクタンス）及びIC基板の回路が動作する周波数の関数として与えられる。装置が小形化された場合にはそのリードの直径も縮小する。従って、高い周波数での動作では、キャパシタをIC基板に出来るだけ近く移動させてリード長を最短にすることが益々重要にな

ってきている。

【0004】この問題を解決するために、これまでの方法ではIC基板上又はその近くに個々のバイパスキャパシタを設けるか、又はバイパスキャパシタをIC基板を保持しているキャリア基板上又はその一部として形成しそれを外部回路と相互接続していた。

【0005】様々な方法により、IC基板を他の装置に接続することが出来る。この接続は電源ばかりでなく、チップ、他の装置要素と種々の入力／出力装置間の信号線に対しても必要である。相互接続の方法の一つとしては、所謂「フリップーチップ」ボンディングがあり、ここではIC基板の能動面が向き合う関係でキャリア基板上に取り付けられる。このフリップーチップボンディングは、小さな面積内に比較的高密度の接続が行えるという利点がある。説明を理解し易くするため、キャリア基板上に設けられるIC基板はチップモジュールと云うことにする。フリップーチップボンディングに関連する最も普通の相互接続技術としては半田バンプの使用がある。普通には、向かい合う半田バンプアレーがIC基板及びキャリア基板の両方の能動面上に形成される。半田が溶融し、又はリフローして、アレー部が整列して、接続が達成される。半田が固まると、半田柱がIC基板とキャリア基板間に形成される。この技術は資料ではしばしば「C4」（又は「C⁴」）技術と呼ばれる。フリップーチップボンディングに関連する他の相互接続技術としては、一つの又はその他の基板（即ち、IC基板、更に一般的には、キャリア基板）上に立設される相互接続ワイヤを用い、例えば半田によりその先部を接続パッドに接続させて行く。

【0006】集積回路装置の集積密度が高くなると、必要な相互接続数も増加する一方で、相互接続のための空間が減少してしまう。指摘したように、これによりフリップーチップボンディング技術が有効となり、装置の密度が大きくなる結果、IC基板上及びキャリア基板上（又は、内）の両方で使用するのに大きな効果を奏する。

【0007】

【発明が解決しようとする課題】しかしながら、

- ① 信号及び電源の通路はしばしばキャリア基板を通じて形成されるので、信号線数が増加することによりキャリア基板の混雑が増える。
- ② キャリア基板は普通良く知られたセラミック又は銅／ポリイミド技術を用いて製作される多層構造を有している。
- ③ より複雑な構成に対するこれまでのやり方としては、キャリア基板に対してさらに多くの導体層を重ねる方法が取られて来たが、使用する層数にも制限がある。
- ④ 導体層をより重ねることは、生産性に好ましくない影響を与える。且つ、製造工程が増加し歩留りの低下を来す。

⑤ これにより、IC基板又はキャリア基板上に有効な領域を確定しないでも、電源バイパスキャパシタを容易に形成し、且つ高周波特性の点からIC基板に極めて近くに位置決めすることが可能となる必要がある。

【0008】本発明は、かかる問題点に鑑みて、IC基板に近接して位置決め可能な新規なバイパスキャパシタを提供することを目的とする。又、本発明の他の目的は、IC基板の表面及びキャリア基板表面上に最小領域しか必要としないバイパスキャパシタを提供することである。

【0009】更に本発明の別の目的は、比較的容易に形成可能で、チップモジュールの歩留りを大きくする様なバイパスキャパシタを提供することである。

【0010】

【課題を解決するための手段】上記目的は、図1～図3に示す如く、

[1] 集積回路を構成するIC基板と、これを少なくとも1個搭載するキャリア基板とから成るICモジュールにおいて用いる、雑音除去用のバイパスキャパシタであって、IC基板10とキャリア基板20とに設ける複数の個別の相互接続素子の一部を、間に誘電体を介して接合させて相互接続キャパシタを形成させる、本発明の相互接続キャパシタにより達成される。

[2] 具体的に、第一の基板10上に第一の半田バンプ30'を設け、基板10に対面する第二の基板20上に半田バンプ30'に対向して、接合部表面に誘電体50を被着させた第二の半田バンプ40'を設けて成る、本発明の相互接続キャパシタにより達成される。

[3] 又、第一の基板10上に相互接続ワイヤ70を立設し、基板10に対面する第二の基板20上に相互接続ワイヤ70に対向して、半田リフロー時に相互接続ワイヤ70が挿入され、挿入部表面に誘電体110を被着させた半田バンプ40'を設けて成る、本発明の相互接続キャパシタによっても適えられる。

[4] 又、第一の基板10上に誘電体90を表面に被着させた相互接続ワイヤ70を立設し、基板10に対面する第二の基板20上に相互接続ワイヤ70に対向して、半田リフロー時に相互接続ワイヤ70が挿入される半田バンプ40'を設けて成る、本発明の相互接続キャパシタによっても適えられる。

[5] 更に、前記半田バンプ40'上の前記相互接続ワイヤ70の挿入位置に、穴状の凹部100を設けた、上記3項及び4項の相互接続キャパシタによっても適えられる。

[6] 又、第一の基板10上に相互接続ワイヤ70'を立設し、基板10に対面し導電金属層130の表面に誘電体層200を積層した第二の基板20'の、相互接続ワイヤ70'に対向する位置に、相互接続ワイヤ70'が挿入される穴状の凹部120を誘電体層200に設ける、本発明の相互接続キャパシタによっても適えられる。

[7] ここで、前記凹部120の内面に金属層125を被着す

る、或いは半田150を満たす、上記6項の相互接続キャパシタによっても達成される。

【8】又、前記相互接続ワイヤ70'の表面に誘電体90を被着させる、上記6項の相互接続キャパシタによっても達成される。

【9】更に又、前記凹部120の内面に金属層125を被着させ、その上に誘電体層180を被着し、内部に半田150を満たす、上記6項の相互接続キャパシタによっても達成される。

【10】かくして、集積回路を構成するチップ又は基板10と、これを少なくとも1個搭載するキャリア基板20とから成るICモジュールにおいて用いる、雑音除去用のバイパスキャパシタであって、チップ又は基板10とキャパシタ基板20に設ける複数の個別の相互接続素子の一部を、間に誘電体を介して接合させて相互接続キャパシタを形成させ、少なくとも一方の電極が搭載実装時にリフローする半田で形成される、本発明の相互接続キャパシタにより達成される。

【11】更に、集積回路を構成するチップ又は基板と、これを少なくとも1個搭載するキャリア基板とから成るICモジュールにおいて用いる、雑音除去用のバイパスキャパシタの製造方法であって、少なくとも一方の基板上に複数の個別の相互接続素子をアレイ形成するステップと、このアレイの内の所定の相互接続素子を選択して誘電体にて覆うステップとを備える、本発明の相互接続キャパシタの製造方法により適えられる。

【0011】

【作用】即ち、本発明は、IC基板10をキャリア基板20にボンディングするための相互接続手段の一部としてバイパスキャパシタを形成させるものである。

【0012】相互接続手段は、複数の別個の接続素子を有し、少なくともその内の一つはバイパスキャパシタの部分形成するために使用するもので、図1のように、IC基板10及びキャリア基板20に半田バンプ30,40を対向して設け、これを溶着させて相互接続させ、この向かい合う半田バンプ30',40'間に誘電体層50を設けて、リフローさせれば、誘電体層50を介して密着接合しキャパシタが形成される。

【0013】又、誘電体層は、図2～図5に示すように、相互接続ワイヤ70,70'の表面や、接続相手の半田バンプ30'又は基板20,20'内の穴状の凹部100,120,160にも設けられるので、相互接続時にキャパシタを構成することができる。

【0014】誘電体層は、例えば、ポリイミド、プラスチック又はエポキシ樹脂等の絶縁材料を用い、例えば、シルクスクリーン印刷又はリソグラフ技術等の公知な各種方法により被着させることができる。

【0015】又、IC基板10をキャリア基板20にボンディングするために使用する半田又は他のリフロー可能な材料は、相互接続の為のリフロー工程によりリフローし

て対応物の表面に密着するので、効率よく容易にバイパスキャパシタの電極の一つを形成することができる。

【0016】かくして、本発明のバイパスキャパシタは、相互接続手段と同じに設けることができるので、IC基板に近接して位置決め可能で、IC基板の表面及びキャリア基板表面上に最小領域しか必要とせず、且つ、比較的容易に形成可能であり、チップモジュールに個々のキャパシタを搭載するのに比べ、遙かにモジュールの歩留りが高められるバイパスキャパシタを提供することが可能となる。

【0017】

【実施例】以下図面に示す実施例によって本発明を具体的に説明する。全図を通し同一符号は同一対象物を示す。図1は本発明の第一の実施例の概略断面図を示し、(a)はボンディング前、(b)はリフロー状態、(c)はボンディング後、(d)は変更例であり、図2は本発明の第二の実施例の概略断面図を示し、(a)はボンディング前、(b)は変更例であり、図3は本発明の第三の実施例の概略断面図を示し、(a)はボンディング前、(b)は変更例であり、図4は本発明の第四の実施例の概略断面図を示し、図5は本発明の第五の実施例の概略断面図を示し、(a)はボンディング後、(b)はA部拡大図である。

【0018】本発明はクリーンな、即ちノイズを含まない電源がチップに供給される様に、高速IC基板に極めて近接した領域にバイパスキャパシタを設けることに關するものである。バイパスキャパシタをIC基板又はそれに関係する能動回路装置の近くに置くことが望ましいことは良く知られているが、しかしこれは必ずしも簡単に出来ることではない。バイパスキャパシタが装着されるIC基板及びキャリア基板の両方共限られた面積の利用可能な表面積又は「領域」を有している。装置のサイズが収縮して、装置の複雑性が増すので、一つ以上のバイパスキャパシタに対してIC基板又はキャリア基板の何れかに充分な領域を固定化させるということはさらに困難になった。同時に、かつて無い高速で装置を動作させようという傾向がさらに進むことにより、バイパスキャパシタをIC基板の近くに置くということがさらに困難となってきた。

【0019】従って、本発明はIC基板をキャリア基板に実装するために使用される相互接続手段の一部としてバイパスキャパシタを形成することを目指している。本発明の第一の実施例は図1に示されている。(この技術分野に詳しい者には明らかであるように、図に示される実施例はごく概略的であり縮尺は考慮していない。)図1の(a)はボンディングを行う以前にキャリア基板20に相対する関係のIC基板10を示している。キャリア基板20に向かい合うIC基板10の表面上には複数の半田バンプ30が個別に設けられており、これに対応して複数の半田バンプ40がキャリア基板20の向かい合う各表面上に設けられている。簡単のために、各表面には3個の半田バ

ンプ30,30',40,40'だけが示されているが、実際の半田バンプ数はもっと多数となっている。図においては、IC基板10及びキャリア基板20は向かい合う関係に配置される。

【0020】IC基板10を他の面にフリップチップボンディングするために半田バンプを使用することはすでに十分に知られた技術であるので、ここでは詳細な説明を行わない。同様に、IC基板10及びキャリア基板20両方の上に半田バンプ30,30',40,40'を形成する方法も既に良く知られている。典型的な半田バンプアレーにおいては、信号及び電源の導通には必要の無いバンプ領域が設けられることになる。本発明では、以下に述べるようにこの領域内にキャパシタが形成される。

【0021】図1の(a)に示すように、キャリア基板20上の半田バンプ40'は誘電体層50により覆われている。この誘電体層50は集積回路のバックリング技術で共通に使用される。例えば、ポリイミド、プラスチック又はエポキシ樹脂、酸化物等を含む幾つかの絶縁材料により形成される。誘電体層50は直接手段により積層される。即ち、例えば、シルクスクリーニング又はリソグラフ技術により「塗布」又は印刷により形成するか、例えば半導体製造技術に対する標準的なフォトリソグラフィック技術を用いて間接的に形成される。

【0022】第一の実施例に関して選択された誘電体は、半田バンプを形成するのに用いる半田の型に対してピンホールがなく、適合性、可撓性に富み、又非溶解性のものでなければならない。ポリイミドはこれらの条件下においては好ましいものである。ポリイミドは保蔵が容易であり、誘電率が制御可能である。更に、nメチルピロリドンにより希釈した場合は、この誘電体は比較的低い粘性を持つようになるので、シルクスクリーン法により簡単に所定の好ましい厚さに被着することが出来る。そして、最初に正しいポリイミドを選択することにより、好ましい可撓性を持つポリイミドを得ることが出来る。

【0023】図1の(b)は、ボンディング直前のリフロー状態で向かい合うIC基板10とキャリア基板20を示す。図において、半田バンプ30,40が溶融して、潰されてほぼ半球形となる。最初に基板10,20に形成された時は、半田バンプ30,40は殆どの場合、図1の(a)に示すように円筒状である。IC基板10をキャリア基板20にボンディングする前に半田をリフローさせることは既に知られた技術である。ボンディング前に半田をリフローさせる理由は、半田バンプ30,40が形成された後にそこに残っている揮発性の有機物を取り除き、半田成分を均質にするためである。このブリボンディングリフローを行うことにより、半田バンプ30,40は図に示すように半球形となる。又、誘電体層50は半田バンプ30'の変形に追従する。

【0024】図1の(c)は、標準的なC4ボンディング

技術を用いて接続された後のIC基板10とキャリア基板20を示す。誘電体層50の被着を行っていない向かい合う半田バンプ30,40は互いに溶融して相互接続柱60を形成する。既に明らかなように、表面張力により半田バンプ30,40は接続した後で互に変形する。しかし、半田バンプ40'上の誘電体層50により半田バンプ30'と半田バンプ40'が接続することが出来なくなるが、半田バンプ30',40'の変形によりこれらは密着した接触状態となる。半田バンプ30',40'の上部表面は、二つの表面を分離する誘電体層50を介して互に変形されて平面接触するようになる。半田バンプ30',40'の一方が電源ラインに接続され、他が接地されれば、バイパスキャパシタが形成される。本発明の技術分野の知識がある者には理解出来るように、信号ライン及び電源又はグラウンドのどちらかをマイクロ波供給マッチングネットワークの一部としてのキャパシタの電極に接続するのが望ましい場合もある。

【0025】図1の(a)の第一の実施例ではキャリア基板20上の半田バンプ40'の上に最初に設けられる誘電体層50が示されているが、これは、本発明の技術分野の知識がある者には理解出来るように、その代わりとして、IC基板10上の半田バンプ30'上に最初に設けることも出来る。半田バンプ30,30',40,40'が接続、接合すると、図1の(c)に示すように、IC基板10とキャリア基板20とでICモジュール5が形成される。

【0026】図1の(c)は、キャリア基板20上に装着された単一のIC基板10を示すが、複数のIC基板10を単一のキャリア基板20上に装着してマルチチップモジュールを形成することが出来ることは明らかである。

【0027】実際には、図1に示す半田バンプ30',40'から形成されるバイパスキャパシタは比較的小さい容量でしかない。従って、所望の実施例においては、多数のバイパスキャパシタを向かい合う半田バンプから形成し、これを並列に接続して、バイパスキャパシタの全体の容量を拡大している。

【0028】上記第一の実施例の一つの変更例を図1の(d)に示す。この変更例は、半田バンプ30'の代わりにIC基板10上に金属接続パッド35が形成される。これは、半田バンプ30,40に用いる半田よりも高融点を持つ材料により構成され、様々な既知の技術により形成することが出来る。IC基板10とキャリア基板20がボンディングされると、半田バンプ40'上の誘電体層50が金属接続パッド35に押しつけられて密着した接触状態になり、バイパスキャパシタを形成する。金属接続パッド35に押しつけられると、他の半田バンプ40'が再び潰されて、半田バンプ40'と誘電体層50が平らになり、密着する。選択によっては、金属接続パッド35との密着接触を行わせるために、第二の金属接続パッド45をキャリア基板20に設け、この上に半田バンプ40'を積層することも出来る。他の方法としては、半田バンプ40'を半田バンプ40

よりも大きくすることが出来るし、又、小さな直径のベース部を有することにより半田バンプ40'を他の半田バンプ30,40よりも高くすることが出来る。

【0029】本発明の第二の実施例を図2に示し、ここでは半田バンプ技術に加えてワイヤ相互接続技術を用いている。ワイヤ相互接続技術においては、IC基板10をキャリア基板20に接続するために相互接続ワイヤ70等の複数のワイヤ又はポストが使用される。相互接続ワイヤ70を形成する方法は良く知られている。一つの方法としては、基板上の金又は銅から直接相互接続ワイヤを形成するワイヤーボンディング装置を使用している。この装置は、相互接続ワイヤ70をマウントする際には、そのベース部に同じ材料の「ボール80」を形成させる。この手段により、所定の長さの相互接続ワイヤ70を形成することが出来る。

【0030】相互接続ワイヤ70の対応ポストは以下に示す他の方法でも形成することが出来る。先ずポリイミド層を基板（IC基板10又はキャリア基板20のどちらの表面でもよい）上に適用し、例えばアルミニウムフィルムを例えばスパッタリングにより積層し、アルミニウム層上にフォトリソストを適用しパターンニングし、パターンニングしたアルミニウム層をエッチングしてポリイミド上にマスク層を形成し、ポリイミドをエッチングして、ポストを形成する場所に穴状の凹部を形成し、その他のアルミニウムを取り除き、無電極メッキ、電解メッキ又はCVDによりポリイミド層の穴状の凹部を銅等の金属で満たし、最後に自立した相互接続ポストを残してポリイミド層を取り除く。更に加えるべきステップとしては、半田塊等の材料のベース部が最初に基板上に形成されるか、又はポストが形成された後でその周囲に形成される。

【0031】これら何れの方法にて形成された相互接続でも、半田バンプよりもずっと大きい縦横比を有しており、得られたICモジュールの熱サイクルに関係するストレスに対してより耐えることが出来るものである。

【0032】図2の第二の実施例においては、相互接続ワイヤ70はバイパスキャパシタの一方の電極を形成するために使用され、IC基板10及びキャリア基板20にそれぞれ形成される向かい合う半田バンプ30,40は上に述べたようにIC基板10とキャリア基板20との間を電氣的に接続するためにそれぞれ使用される。従って図2の実施例は二種類の相互接続技術、即ち半田バンプとワイヤ相互接続技術を用いたハイブリッド相互接続手段を示している。

【0033】又、図2の実施例及び図4にも示すように、キャリア基板20とIC基板10との間の電氣的相互接続を行うために、半田バンプの代わりにワイヤ相互接続構造を使用することが出来る。

【0034】図2の(a)において、相互接続ワイヤ70がキャリア基板20上に取り付けられ、これがその底部周辺

に形成される金属塊80を有している。上に述べたように、金属塊80は採用される製造技術に応じて相互接続ワイヤ70と同じ材料か又は半田塊のどちらかで形成することが出来る。相互接続ワイヤ70に向かい合う関係で、相互接続ワイヤ70を受けるための穴状の凹部100を有する半田バンプ30'が設けられる。ウェル100内には誘電コーティング110が設けられる。この凹部100は標準的なエッチング技術により形成することが出来る。例えば、フォトリソスト層は半田バンプ30'を有するIC基板10の表面上にスピニングを行うことにより形成することが出来る。この層は次に選択された領域にパターン化されて、予め選択された半田バンプ30'の中心部に広がる層が取り除かれる。凹部100は、バリレンTM（ユニオンカーバイド社が発売しているポリバラキシレンの商品名）等の順応する誘電体層110を、例えばCVD装置により、凹部100内に積層することが出来る。半田バンプ30'の外形直径は150 μ mであり、凹部100の直径は15~50 μ mの範囲である。これら凹部100の直径は十分に大きいので、フォトリソグラフ技術により凹部100を形成しても何ら問題を生ずることはない。

【0035】IC基板10がキャリア基板20にボンディングされると、半田バンプ30,40は、図1の(c)に示される様に、溶融して別の相互接続柱60を構成する。同時に、相互接続ワイヤ70は凹部100内の凹部に位置し、一方の電極として相互接続ワイヤ70及び他の電極として半田バンプ30'の向かい合う部分を有するバイパスキャパシタを形成する。この電極の一方はグランドに接続されることが必要であり他方は電源ラインに接続する必要がある。

【0036】相互接続ワイヤ70が上記第二の方法で形成され、半田の金属塊80が上記のように相互接続部のベース部に置かれている場合は、この金属塊80はボンディング過程の中で溶融し、表面張力により半田は相互接続ワイヤ70と誘電体層110表面との間の空間を埋めて相互接続ワイヤ70の上部に這い上がって行く。一方、半田ダム又は同様の構成を用いることにより、半田の這い上がりを防ぐことが出来る。

【0037】第二の実施例の変更例を図2の(b)に示す。図において、半田バンプ30'の凹部100は上記の方法で形成される。しかし、凹部100内に誘電体層110を積層する代わりに、誘電体層90が相互接続ワイヤ70の表面上に形成される。この誘電体層90を有する相互接続ワイヤ70がリフロー／ボンディング工程の間に半田バンプ30'の凹部100内に挿入される。ここで再び、バリレンのCVD等の良く知られた技術により、相互接続ワイヤ70上に誘電体層90を被着形成することが出来る。簡単のために、図2の(b)の変更例はキャパシタ部のみが示されている。他の相互接続部は前記の場合と同様である。

【0038】図2の(b)の変更例は、IC基板10をキャリア基板20にボンディングする以前に半田バンプ30'内

に凹部100を形成することを示しているが、この凹部100は形成する必要がない。代わりに、凹部100を持たない標準的な方法で半田バンプ30'を形成し、誘電体層90を被着した相互接続ワイヤ70を半田バンプ30'が溶融した後に半田バンプ30'に挿入させればよい。この別の変更例は、製造を複雑にしするがキャパシタ電極間の向かい合う外側領有面積は小さくすることが出来る。

【0039】図2に示す第二の実施例においては、金属塊80が半田バンプ30'に接触しないように、又、キャパシタの電極にショートしない様に注意して、相互接続ワイヤ70、凹部100及び半田バンプ30'の各寸法を決める必要がある。この心配される問題は誘電体層90,110を図示の場合よりも広げることにより避けることが出来る。図2の(a)の実施例においては、誘電体層110をさらに広げて半田バンプ30'の前面をカバーするようにし、図2の(b)に示す変更例では、誘電体層90を金属塊80を覆うまで広げることが可能となっている。

【0040】図2の第二の実施例は、キャリア基板20上に相互接続ワイヤ70を形成し、IC基板10上にその受け部を形成する構造を示しているが、逆の配置に形成することも可能であり、また同じ効果を得ることが出来る。同様に、図2の(a)の実施例には、唯一の一组の互いに向かい合う半田バンプ30,40と一つの相互接続ワイヤ70が示されているが、実際には両方の構成が数多く使用されている。

【0041】図3は本発明の第三の実施例を示すもので、半田バンプ30,40及び相互接続ワイヤ70の両方を含むハイブリッド相互接続構造を採用している。これは図2の第二の実施例に類似しているが、この図3の実施例は相互接続ワイヤ70と向かい合う関係のIC基板10の表面に設けた半田バンプ30'を有していない。代わりに、凹部120（簡単のために唯一の凹部を示している）がIC基板10上にマウントされている相互接続ワイヤ70に付き添う関係位置にキャリア基板20に形成される。

【0042】図3の(a)の実施例では、キャリア基板20の表面層がポリイミド等の絶縁層200により形成されている。穴状の凹部120がこの絶縁層200中に形成される。この絶縁層200の下には、例えば銅で形成される導電金属層130が存在している。図に示すように、金属で満たされたビア135が半田バンプ40と導電金属層130とを接続している。IC基板10がキャリア基板20に接続された時に、バイパスキャパシタが形成される。ボンディング工程の間に相互接続ワイヤ70が凹部120に挿入される。キャパシタの一方の電極は相互接続ワイヤ70であり、他の電極は導電金属層130である。凹部120が形成されているキャリア基板20の表面層の絶縁層200は、形成されるキャパシタの二つの電極間の誘電体層として作用する。

【0043】相互接続ワイヤ70は凹部120にはきちっとフィットしないかもしれないので、凹部120の壁と相互

接続ワイヤ70の間に空間又はギャップが存在するようになる。このギャップは、IC基板10の動作環境に応じて、空気又は他の誘電体液で満たされる。こうして形成されたバイパスキャパシタは導電金属層130により半田バンプ40と電氣的に接続されている。

【0044】図3の(b)は第三の実施例の変更例を示し、金属層125が凹部120に形成されて本発明のバイパスキャパシタの一方の電極として働くことになる。ここで、都合のよいことには金属層125は半田で形成することが出来るので、IC基板10とキャリア基板20とがボンディングされる際に、挿入された相互接続ワイヤ70に従う形にリフローする。又、別に導電金属層130は、金属を半導体チップに設けるためにスパッタリング又はCVD等の従来の工程により形成もされる。誘電体層140は、相互接続ワイヤ70上に形成され、キャパシタに対する誘電体として作用する。この変更例では、製造するのはより複雑となるが、図3の(a)に示すキャパシタの電極の対向表面積が増える。

【0045】図4は図3に示す実施例と同様な、本発明の第四の実施例を示す。しかし、図4の実施例は相互接続技術のハイブリッド技術を採用しない代わりに、接続及びバイパスキャパシタの形成に対しては相互接続ワイヤを用いている。更に、図4の相互接続ワイヤ70,70'は、キャリア基板20ではなくIC基板10の上にマウントされる。図示のように、相互接続ワイヤ70'（図4では一つだけが示されている）の幾つかが他のものよりも長く形成されている。上記のワイヤボンディング技術を用いて、比較的すんなりと本発明の実施例で使用される長さの異なるワイヤを得ることが出来る。相互接続ワイヤ70'は、外部表面を覆う例えば前述のバリレン等の誘電体層140を有している。IC基板10がキャリア基板20にボンディングされると、相互接続ワイヤ70'は、エッチング等の従来の手段により形成される穴状の凹部160内の溶融した半田栓150に挿入される。こうして、一方の電極として半田栓150を、他の電極として相互接続ワイヤ70'を、又その間に誘電体層140が在りバイパスキャパシタが形成される。同時に相互接続ワイヤ70をキャリア基板20の表面上の半田塊170に接続させることにより電氣的接続が達成される。

【0046】又、本発明の第五の実施例は図5に示す如く、これは幾つかの面で図4の実施例と似ている。図5においては、再びワイヤ相互接続技術を用いた二つのバイパスキャパシタが示されている。IC基板10とキャリア基板20との間の他の接続も、既に述べられているように、例えば、半田バンプ又は相互接続ワイヤ等の従来の技術を用いて達成することが出来る。

【0047】相互接続ワイヤ70'はキャリア基板20内の穴状凹部160に形成された半田栓150に挿入される。金属層175及び誘電体層180は先ず以下に説明される幾つかの技術を用いて凹部160の壁部に積層される。図5の

実施例において、第一の電極としての金属層175、第二の電極としての半田栓150の対向面と、その間の誘電体層180とを有するバイパスキャパシタが形成される。ここで注目すべきことは、決められたサイズの凹部160及び決められた型及び厚さの誘電体層160に対しては、図5の構成は向かい合う表面積が大きいために図4の構成のものよりも大きなキャパシタンスを持つことになるということである。更に、図5の実施例のキャパシタンスは誘電体層180の厚さにより決まる。好ましい実施例においては、前述の如く、複数の個々のバイパスキャパシタを並列接続することによりバイパスキャパシタンスが得られる。総体的なバイパスキャパシタンスはバイパスキャパシタに使用されている相互接続数、誘電体層180の厚さ及び/又は凹部160の深さを変更することにより調整することが可能である。

【0048】図示のように、相互接続ワイヤ70'は挿入する凹部160よりは細く形成され、半田栓150に或る長さだけ挿入される。この構造は特にキャリア基板20及び/又はIC基板10の位置決め誤差及び反り（非平面性）の点で有利である。

【0049】図5のバイパスキャパシタの製造に対しては様々な工程が必要であるが、例えばその内の一つは次のようなものである。既に述べたように、IC基板10上に相互接続ワイヤ70'が形成され、そして凹部160が標準的なエッチング技術によりキャリア基板20内に形成される。本発明に使用される凹部160の径及び深さはそれぞれ標準的なエッチング技術の精度を有する縦穴により決まる。例えば、或る実施例では凹部160の開口の直径は50ミクロンであり、その深さとの比は約2:1である。金属層175はスパッタリング等の物理的工程又はCVDにより凹部160内に積層される。アルミニウムをスパッタしてこれらの層を形成するために使用すると便利である。このアルミニウム層は必要に応じてパターン化され、金属層175を電気的に接続するためのリードラインとすることが出来る。誘電体層180は種々の公知の過程により様々な材料から形成することが出来る。スパッタされたアルミニウムが金属層175として用いられた場合は、陽極処理が特に有効であり、この場合は、例えば陽極処理用液中の層に正電位を加えることによりアルミ酸化フィルムがアルミニウム層表面に形成され、誘電体層180となる。又、五酸化タンタル(Ta_2O_5)等の酸化フィルムをCVDにより積層することが出来、又は、二酸化シリコンフィルムを酸素を充分に含んだ環境下でシリコンの反応性スパッタリングによっても積層することが出来る。最後に、金属層175が形成された後に、自己硬化性、低粘性を有する適切なゾル、ゲル等の誘電体溶液が基板上にスピニングされる。どんな方法でも誘電体層180が形成されると、次にそれが既知の技術によりパターン化される。

【0050】金属層175と誘電体層180が積層され、バ

ターン化された後に、標準的なマスク蒸着又はスクリーン印刷法を用いて凹部160内に半田が置かれ半田栓150を成す。既に明らかなように、スクリーン印刷法を用いた場合は、凹部160の底部に半田を満たすことは困難である。しかし、この問題は、IC基板10をキャリア基板20に接続させる工程において半田をリフローさせることにより解決することが出来る。

【0051】最後に、得られたバイパスキャパシタの一方の電極は電源ラインに接続され、他方の電極はグラウンドに接続される。幾つかの実施例を挙げて本発明を説明したが、本発明の主旨の範囲内で種々の変更及び改良が可能であることは明らかである。

【0052】

【発明の効果】以上の如く、本発明のバイパスキャパシタは、IC基板をキャリア基板に実装する相互接続手段と同じに設けることができるので、IC基板の表面及びキャリア基板表面上に最小領域しか必要とせず、且つ、比較的容易に形成可能であり、IC基板に近接して位置決でき、チップモジュールに個々のキャパシタを搭載するのに比べ、遙かにモジュールの生産歩留りが高められるバイパスキャパシタが得られ、大きな効果を奏するものである。

【図面の簡単な説明】

【図1】 本発明の第一の実施例の概略断面図

(a) ボンディング前 (b) リフロー状態 (c) ボンディング後

(d) 変更例

【図2】 本発明の第二の実施例の概略断面図

(a) ボンディング前 (b) 変更例

【図3】 本発明の第三の実施例の概略断面図

(a) ボンディング前 (b) 変更例

【図4】 本発明の第四の実施例の概略断面図

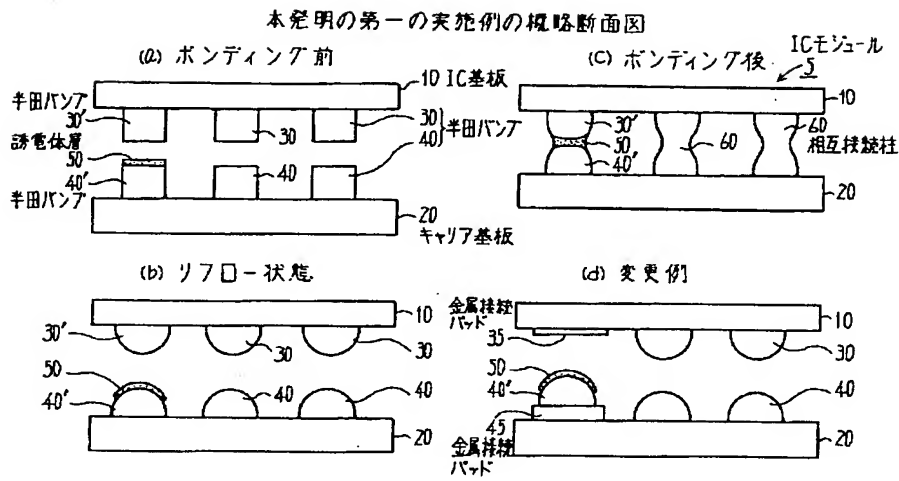
【図5】 本発明の第五の実施例の概略断面図

(a) ボンディング後 (b) A部拡大図

【符号の説明】

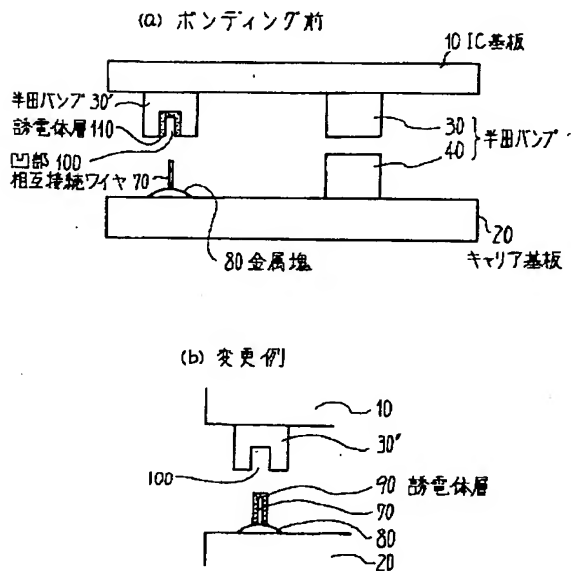
5	ICモジュール	10	IC基
	板; ICチップ又は基板		
20	キャリア基板	35,45	金属接
	続パッド		
30,30',40,40'	半田バンプ	50,90,110,14	
0,180	誘電体層		
60	相互接続柱	70,70'	相互
	接続ワイヤ		
80	金属塊	100,120,160	
	凹部		
125,175	金属層	130	導電金属
	層		
135	ビア	150	半田栓
170	半田塊	200	絶縁層

【図1】



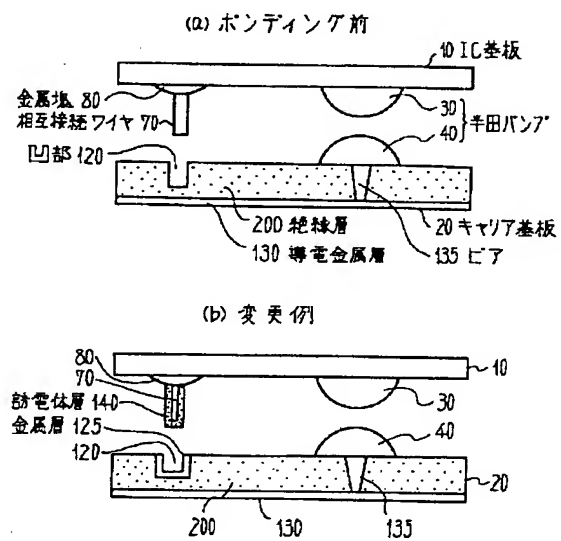
【図2】

本発明の第二の実施例の概略断面図



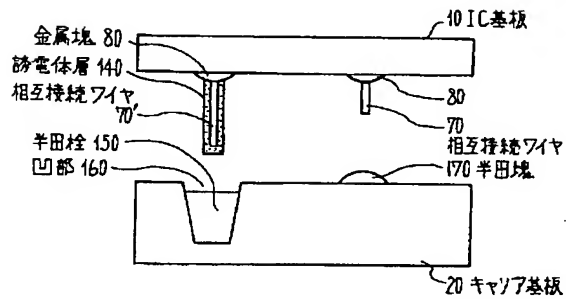
【図3】

本発明の第三の実施例の概略断面図



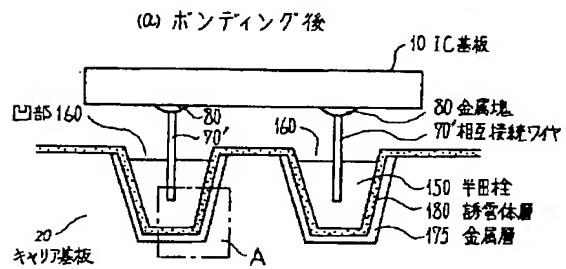
【図4】

本発明の第四の実施例の概略断面図

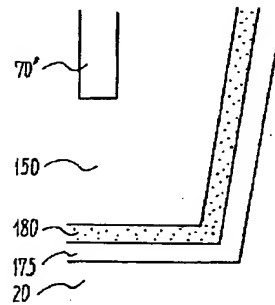


【図5】

本発明の第五の実施例の概略断面図



(b) A部拡大図



フロントページの続き

(51)Int.Cl.⁵
H01L 21/321

識別記号 片内整理番号

F I

技術表示箇所

(72)発明者 デイビット ジー ラブ
アメリカ合衆国 カリフォルニア 94566
ブリーザントン トゥーリガドライブ
3674